



日 本 国 特 許 庁
JAPAN PATENT OFFICE

J0973 U.S. PTO
10/054972
01/25/02

#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

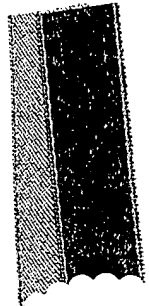
2001年 7月19日

出 願 番 号
Application Number:

特願2001-220024

出 願 人
Applicant(s):

富士通株式会社

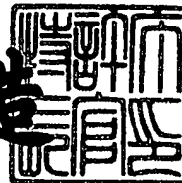


CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3102236

【書類名】 特許願

【整理番号】 0041288

【提出日】 平成13年 7月19日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03K 19/00
G06F 3/00

【発明の名称】 レシーバ回路

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 土肥 義康

【発明者】

【住所又は居所】 神奈川県川崎市幸区堀川町66番2 富士通エルエスアイソリューション株式会社内

【氏名】 松原 聡

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 田村 泰孝

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レシーバ回路

【特許請求の範囲】

【請求項 1】 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、
前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号
依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ
回路。

【請求項 2】 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、
前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値
とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【請求項 3】 請求項 1 または 2 に記載のレシーバ回路において、前記バッ
ファ制御回路は、前記バッファ回路と電源線との間に配置されたスイッチである
ことを特徴とするレシーバ回路。

【請求項 4】 請求項 1 または 2 に記載のレシーバ回路において、前記バッ
ファ制御回路は、前記バッファ回路の出力と負荷デバイスとの間に配置されたス
イッチであることを特徴とするレシーバ回路。

【請求項 5】 請求項 1 または 2 に記載のレシーバ回路において、さらに、
前記サンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入
力をプリチャージするプリチャージ回路を備えることを特徴とするレシーバ回路
。

【請求項 6】 請求項 1 または 2 に記載のレシーバ回路において、前記サン
プリング回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え
、且つ、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられて
いることを特徴とするレシーバ回路。

【請求項 7】 請求項 1 または 2 に記載のレシーバ回路において、前記バッ

ファ回路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの出力の大きさを調整することで信号伝送路の特性を補償するようにしたことを特徴とするレシーバ回路。

【請求項 8】 請求項 1 または 2 に記載のレシーバ回路において、前記バッファ回路は入力電圧を電流に変換するトランスコンダクタであり、前記バッファ制御回路は、前記サンプリングが行われるタイミングまで、該トランスコンダクタの電流を小さくしておく電流源スイッチであることを特徴とするレシーバ回路。

【請求項 9】 請求項 1 または 2 に記載のレシーバ回路において、前記バッファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バッファ回路に微小電流を流しておく微小電流回路を備えることを特徴とするレシーバ回路。

【請求項 10】 請求項 1 または 2 に記載のレシーバ回路において、さらに、前記バッファ回路の出力に、前記サンプリング回路が入力信号のサンプリングを行うときに当該バッファ回路の出力を略一定の値にするスイッチ回路を備えることを特徴とするレシーバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の L S I チップ間や 1 つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の筐体間の信号伝送を高速に行うための技術に関し、特に、高速の信号伝送に用いるレシーバ回路に関する。

【0002】

近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システム

の性能を向上させることができないという事態になって来ている。

【0003】

具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間（LSI間）の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード（プリント配線基板）間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化（信号振幅の低レベル化）等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【0004】

そこで、高速の信号伝送を実現するために、符号間干渉を取り除き、より正確なデータの判定を行うことができるレシーバ回路の提供が要望されている。

【0005】

【従来の技術】

近年、LSIやボード間、或いは、匡体間のデータ伝送量の増加に対応するために、1ピン当たりの信号伝送速度を増大させる必要がある。これは、ピン数を増やすことによるパッケージ等のコストの増大を避けるためでもある。その結果、最近では、LSI間の信号伝送速度が1Gbpsを超え、将来（3年から8年程度先）には、4Gbps或いは10Gbpsといった極めて高い値（高速の信号伝送）になることが予想されている。

【0006】

このように高い信号周波数は、例えば、LSI内部よりも高い周波数であるため信号の受信回路には高速動作が可能なレシーバ回路が必要になる。一般に、レシーバ回路は、入力線に直列に設けられたスイッチおよびバッファ回路で構成され、スイッチが切れるタイミングにおける信号の値がサンプルされてバッファ回路の出力となり、このバッファ回路の出力をラッチすることで信号の値を判定するようになっている。

【0007】

図1は信号伝送システムの全体構成を模式的に示すブロック図である。図1に

において、参照符号 1 はドライバ回路（送信回路）、2 は伝送線路（信号伝送路）、3 はレシーバ回路（受信回路）を示している。ここで、送信側のドライバ回路 1 および受信側のレシーバ回路 3 は、例えば、それぞれ異なる L S I や匡体に設けられるが、さらに、1 つの L S I における異なる回路ブロックに設けられることもある。

【0008】

図 2 は図 1 におけるレシーバ回路 3 の一例を示すブロック図である。

【0009】

図 2 に示されるように、レシーバ回路 3 は、例えば、ドライバ回路 1 から伝送線路 2 を介して送られる 10 G b p s の高速のデータ（相補データ、差動データ）DATA, DATA X を、インターリーブにより 2.5 G H z のクロック信号で動作する 4 つのレシーバユニット 3 1 ~ 3 4 で受信（判定）するように構成されている。すなわち、10 G b p s の入力データ DATA, DATA X は、4 交代で動作する 4 つのレシーバユニット 3 1 ~ 3 4 により、4 ビットで 2.5 G b p s のデータとして受信される。

【0010】

図 3 は従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図であり、図 2 に示すレシーバ回路 3 におけるレシーバユニット 3 1 の従来の一構成例を示すものである。

【0011】

図 3 に示されるように、レシーバユニット 3 1（レシーバユニット 3 2 ~ 3 4 も同様）は、サンプルスイッチ 3 1 1, 3 1 2、バッファ回路 3 2 0、判定回路 3 3 0、および、電流源 3 4 0 を備えて構成されている。各サンプルスイッチ 3 1 1, 3 1 2 は、クロック信号 c l k ($\phi 1$), c l k x ($\phi 3$) により制御されるトランスファゲートとして構成され、例えば、2.5 G H z のクロック信号 c l k の立ち上がりタイミング（クロック信号 c l k x の立ち下がりタイミング）で入力信号（DATA, DATA X）をバッファ回路 3 2 0 に取り込むようになっている。ここで、クロック信号 $\phi 3$ は、四相クロック信号 $\phi 0 \sim \phi 3$ の内の 1 つで、 $\phi 3 = \neg \phi 1$ となっている。なお、信号 $\neg \phi 1$ は、信号 $\phi 1$ の相補（反

転レベル)の信号を示している。

【0012】

バッファ回路320は、負荷321、322および差動入力用のnチャネル型MOSトランジスタ(nMOSトランジスタ)323、324を備えた差動増幅器として構成され、トランジスタ323、324のソースは、共通接続されると共に電流源340を介して低電位の電源線VSSに接続されている。さらに、バッファ回路320の出力は、トランジスタ323、324と負荷321、322との各接続ノードから取り出されて判定回路330に供給され、また、負荷321、322の各他方の端子は、高電位の電源線VDDに接続されている。判定回路330は、バッファ回路320の差動出力を比較判定してデータdata0を出力する。

【0013】

【発明が解決しようとする課題】

図4は従来のレシーバ回路における課題を説明するための図であり、図4(a)は送信信号の波形を示し、図4(b)は受信信号の波形を示し、そして、図4(c)は判定信号の波形を示している。

【0014】

図4(a)と図4(b)との比較から明らかなように、送信側のドライバ回路1の出力である送信信号は、伝送線路2を介して受信側のレシーバ回路3に受信(入力)信号(DATA, DATA X)として供給されるが、この受信信号は、伝送線路2の伝送路特性等によりその波形が大きく鈍ったものになる。

【0015】

そして、この波形の鈍った受信信号が、上述したレシーバユニット31(レシーバ回路3)で受信および判定される。すなわち、サンプルスイッチ311、312をオンとして受信信号(DATA, DATA X)をバッファ回路320に取り込み、そのバッファ回路320の出力を判定回路330で判定するようになっている。

【0016】

この従来のレシーバ回路において、サンプリングのタイミング以前の信号値(

サンプルスイッチ 3 1 1, 3 1 2 をオンする前の受信信号) は、そのままバッファ回路 3 2 0 で増幅されて判定回路 3 3 0 の入力になっている。そのため、判定回路 3 3 0 の入力 (判定信号) は、判定を行うタイミングよりも前の信号値に応じて電圧が大きく変動する。判定回路の入力ノードの電圧値の変化速度には限界があるため、従来のレシーバ回路 3 においては、この変動により符号間干渉 (過去の信号の値が判定回路に悪影響を与える) が生じ、データの正確な受信 (判定) の妨げとなっている。

【 0 0 1 7 】

本発明は、上述した従来のレシーバ回路が有する課題に鑑み、符号間干渉を取り除き、より正確なデータ判定を行うことのできるレシーバ回路の提供を目的とする。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の第 1 の形態によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

【 0 0 1 9 】

本発明の第 2 の形態によれば、入力信号をサンプリングするサンプリング回路と、該サンプリング回路の出力をバッファするバッファ回路と、該バッファ回路の出力の判定を行う判定回路と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とするレシーバ回路が提供される。

【 0 0 2 0 】

図 5 は本発明に係るレシーバ回路の原理構成の一例を示すブロック回路図であり、前述した図 2 のレシーバ回路におけるレシーバユニットの一構成例を示すものである。

【 0 0 2 1 】

図5に示されるように、レシーバユニット31（レシーバユニット32～34も同様）は、サンプルスイッチ411、412、バッファ回路420、判定回路430、および、電流源440を備えて構成されている。各サンプルスイッチ411、412は、クロック信号clk（ $\phi 1$ ）、clkx（ $\phi 3$ ）により制御されるトランスファゲートとして構成され、例えば、2.5GHzのクロック信号clkの立ち上がりタイミング（クロック信号clkxの立ち下がりタイミング）で入力信号（DATA、DATAX）をバッファ回路420に取り込むようになっている。ここで、信号DATAXは、信号DATAの相補（反転レベル）の信号を示し、また、クロック信号 $\phi 3$ は、四相クロック信号 $\phi 0 \sim \phi 3$ の内の1つで、 $\phi 3 = \neg \phi 1$ となっている。なお、信号 $\neg \phi 1$ は、信号 $\phi 1$ の相補の信号を示している。

【0022】

バッファ回路420は、能動負荷（アクティブロード）421、422および差動入力用のnMOSトランジスタ423、424を備えた差動増幅器として構成され、トランジスタ423、424のソースは、共通接続されると共に電流源440を介して低電位の電源線VSSに接続されている。さらに、バッファ回路420の出力は、トランジスタ423、424と負荷421、422との各接続ノードから取り出されて判定回路430に供給され、また、負荷421、422の各他方の端子は、高電位の電源線VDDに接続されている。

【0023】

電流源440は、クロック信号clkx（ $\phi 3$ ）によりスイッチング制御（クロック信号 $\phi 3$ が高レベル『H』でスイッチオン）され、また、判定回路430は、クロック信号 $\phi 2$ により判定動作が制御（クロック信号 $\phi 2$ が高レベル『H』で判定）されるようになっている。なお、クロック信号 $\phi 2$ は、四相信号 $\phi 0 \sim \phi 3$ の内の1つで、クロック信号 $\phi 1$ （clk）と90度の位相差を有している。そして、判定回路430は、クロック信号 $\phi 2$ に従ってバッファ回路420の差動出力を比較判定してデータdata0を出力する。

【0024】

図6は図5のレシーバ回路の動作を説明するための図であり、図6（a）は送

信信号の波形を示し、図6(b)は受信信号の波形を示し、そして、図6(c)は判定信号の波形を示している。ここで、図6(a)および図6(b)に示す送信および受信波形は、前述した図4(a)および図4(b)と同様の波形となっている。

【0025】

図6(c)と図4(c)との比較から明らかなように、本発明に係るレシーバ回路は、例えば、図5に示されるように、サンプルスイッチ411、412がクロック信号 $\phi 1$ ($\phi 3$)により制御されると共に、電流源440がクロック信号 $\phi 3$ によりスイッチング制御され、さらに、判定回路430がクロック信号 $\phi 2$ により動作制御されるようになっているため、以前の信号による符号間干渉を取り除き、より正確なデータ判定が可能になる。

【0026】

すなわち、本発明に係るレシーバ回路は、図5に示されるように、サンプリングスイッチ(サンプリング回路)411、412の後段にバッファ回路420が設けられ、このバッファ回路420および負荷デバイス(能動負荷)421、422の駆動のタイミングを制御するために、クロック信号 $\phi 3$ でスイッチング制御される電流源(電流源スイッチ)440が配置されている。

【0027】

まず、電流源スイッチ440は、サンプリングスイッチ411、412がオン(クロック信号 $\phi 1$ が高レベル『H』、且つ、クロック信号 $\phi 3$ が低レベル『L』)の間はオフ状態となっており、バッファ回路420を活性化(駆動)させないので、このバッファ回路420の出力は入力信号DATA、DATA_Xに依存することがない。従って、この期間には、バッファ回路420の出力の値は一定値になる。すなわち、バッファ回路420の出力(差動出力)は、両方とも能動負荷421、422を介して高電位の電源電圧VDDとなっており、その電源電圧VDDのレベルが判定回路430の差動入力として与えられる。

【0028】

次に、サンプリング回路411、412のスイッチがオフ(クロック信号 $\phi 1$ が高レベル『H』から低レベル『L』、且つ、クロック信号 $\phi 3$ が低レベル『L』

』から高レベル『H』)になると、電流源スイッチ440はオン状態となり、バッファ回路420は活性化して有効な信号を出力する。そして、バッファ回路420の後段に存在する判定回路430は、クロック信号 $\phi 2$ (クロック信号 $\phi 1$ と90度の位相差を有するクロック信号)によりバッファ回路420が信号を出力しているタイミングだけにおいて信号の判定を行う。

【0029】

すなわち、バッファ回路420の出力は、判定回路430が動作する判定タイミング以外では一定電圧(VDD)となっているので、高速信号受信における伝送路特性から発生する符号間干渉を除去することが可能になる。

【0030】

このように、本発明のレシーバ回路によれば、判定タイミング前の受信信号が判定回路に入力することが無いことから、伝送線路特性から生じる一連の受信信号系列の符号間干渉を無効にすることができ、これにより、信号判定回路はより精度の高い判定を行うことが可能になる。

【0031】

【発明の実施の形態】

以下、本発明に係るレシーバ回路の実施例を添付図面に従って詳述する。

【0032】

図7は本発明に係るレシーバ回路の第1実施例を示すブロック図であり、前述した図5に示すレシーバ回路を4組設け、インターリーブ動作を行わせるようになっている。図7において、参照符号510～513はサンプルスイッチ(サンプリング回路ユニット)、520～523はバッファ回路(バッファ回路ユニット)、そして、530～533は判定回路(判定回路ユニット)を示している。

【0033】

図7に示す第1実施例のレシーバ回路(レシーバ回路装置)は、例えば、10 Gbpsの高速信号を受信する回路であり、2.5GHzの四相クロック信号で4-wayのインターリーブ動作を行う回路として構成されている。本第1実施例のレシーバ回路は、サンプルスイッチ510～513、バッファ回路520～523、電流源スイッチ、および、判定回路530～533を備えて構成されて

いる。なお、電流源スイッチは、各バッファ回路 5 2 0 ~ 5 2 3 にそれぞれ内蔵されている。

【 0 0 3 4 】

受信信号 INPUT は、サンプルスイッチ 5 1 0 ~ 5 1 3 (サンプリング部) を介して入力され、例えば、互いに位相が 9 0 度だけ異なる四相クロック信号 $\phi 0 \sim \phi 3$ により制御されるようになっている。具体的に、例えば、サンプルスイッチ 5 1 1 は、クロック信号 $\phi 1$ の立ち下がりによりスイッチオフし、クロック信号 $\phi 3$ (クロック信号 $\phi 1$ の反転信号 E S) の立ち上がりにより電流源スイッチがオンすることでバッファ回路 5 2 1 が駆動状態になり、該バッファ回路 5 2 1 はその時点での電圧値を増幅して判定回路 5 3 1 に出力する。判定回路 5 3 1 は、バッファ回路 5 2 1 からの信号をクロック信号 $\phi 2$ (信号 E S ') の立ち上がりにより判定し、データ『 0 』または『 1 』の値として出力する。

【 0 0 3 5 】

さらに、例えば、サンプルスイッチ 5 1 2 は、クロック信号 $\phi 2$ の立ち下がりによりスイッチオフし、クロック信号 $\phi 0$ (クロック信号 $\phi 2$ の反転信号 E S ') の立ち上がりにより電流源スイッチがオンすることでバッファ回路 5 2 2 が駆動状態になり、該バッファ回路 5 2 2 はその時点での電圧値を増幅して判定回路 5 3 2 に出力する。判定回路 5 3 2 は、バッファ回路 5 2 2 からの信号をクロック信号 $\phi 3$ (信号 E S ') の立ち上がりにより判定し、データ『 0 』または『 1 』の値として出力する。

【 0 0 3 6 】

このように、本第 1 実施例のレシーバ回路は、各クロック信号 $\phi 0 \sim \phi 3$ によりバッファ回路 5 2 0 ~ 5 2 3 を駆動制御する電流源スイッチをオフすると、そのバッファ回路 5 2 0 ~ 5 2 3 の出力は一定の値に保持され、各判定回路 5 3 0 ~ 5 3 3 による判定タイミングの前に受信信号 INPUT が判定回路に入力するのを防ぎ、これにより、信号間干渉を無効化して精度の高い判定を可能にする。

【 0 0 3 7 】

図 8 は本発明のレシーバ回路の第 2 実施例を示すブロック図である。図 8 において、参照符号 6 1 1, 6 1 2 はサンプルスイッチ、6 2 1, 6 2 2 はバッファ

回路、631, 632は判定回路、そして、641, 642はスイッチ回路（pMOSスイッチ）を示している。

【0038】

図8に示す第2実施例のレシーバ回路は、バッファ回路621, 622と判定回路631, 632との接続ノードにスイッチ回路641, 642を設けるようになっている。そして、例えば、一方のサンプルスイッチ611をオフして他方のサンプルスイッチ612をオンしたときには、一方のスイッチ回路641もオフして他方のスイッチ回路642をオンするようになっている。

【0039】

すなわち、サンプルスイッチ612がオン状態では、バッファ回路622の出力に接続された負荷素子と並列のスイッチ回路642がオン（低抵抗）となり、その期間において、バッファ回路622の出力が略一定の値になる。このとき、サンプルスイッチ611はオフ状態で、スイッチ回路641もオフになっている。

【0040】

そして、サンプルスイッチ612がオフ状態になると、スイッチ回路642もオフになり、サンプリングされたバッファ622の出力が判定回路632に入力され、これにより、信号間干渉を無効化することが可能になる。このとき、サンプルスイッチ611およびスイッチ回路641はオンとなり、その期間において、バッファ回路621の出力が略一定の値になる。

【0041】

本第2実施例では、バッファ回路の出力電流がどの期間にも流れる構成になっているため、バッファ回路の駆動トランジスタはバイアス条件の変動が少なくなり、高速の動作が可能になるという利点がある。

【0042】

図9は本発明のレシーバ回路の第3実施例を示すブロック図であり、前述した図7に示す第1実施例において、入力信号INPUTを差動信号（相補信号）INPUT, INPUTXとすると共に、判定回路530～533を差動の判定回路630～633で構成し、さらに、サンプルスイッチ510～513およびバ

ツファ回路 5 2 0 ~ 5 2 3 をイコライザ回路 (トランスコンダクタ) 6 1 0 ~ 6 1 3 で構成したものに相当する。なお、各イコライザ回路 6 1 0 ~ 6 1 3 は、互いに位相が 9 0 度だけ異なる四相クロック信号 $\phi 0 \sim \phi 3$ により制御され、また、各判定回路 6 3 0, 6 3 1, 6 3 2, 6 3 3 は、それぞれクロック信号 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 0$ により判定動作を行うようになっている。

【 0 0 4 3 】

図 1 0 は図 9 のレシーバ回路におけるイコライザ回路の一例を示す回路図であり、図 1 1 は図 9 のレシーバ回路における判定回路の一例を示す回路図であり、そして、図 1 2 は図 9 のレシーバ回路の動作を説明するためのタイミング図である。ここで、クロック信号 $\phi 0 \sim \phi 3$ は、図 1 2 に示されるように、互いに位相が 9 0 度異なる四相のクロック信号とされている。

【 0 0 4 4 】

図 1 0 に示されるように、イコライザ回路 6 1 0 は、pMOS トランジスタ 6 1 0 1, 6 1 0 2 ; 6 1 3 1, 6 1 3 2 ; 6 1 5 1, 6 1 5 2、nMOS トランジスタ 6 1 0 3 ~ 6 1 0 9 ; 6 1 3 3 ~ 6 1 3 9、電流源 6 1 1 0 ; 6 1 4 0、および、トランスファゲート 6 1 1 1, 6 1 1 2 ; 6 1 4 1, 6 1 4 2 を備えている。なお、他のイコライザ回路 6 1 1 ~ 6 1 3 もイコライザ回路 6 1 0 と同様の構成とされている。すなわち、イコライザ回路 6 1 0 は、2 つの差動増幅部 (トランスコンダクタ) 6 1 0 a, 6 1 0 b を備えている。なお、本実施例では、これら 2 つの差動増幅部 6 1 0 a, 6 1 0 b により出力レベルを調整して信号伝送路特性の補償 (符号間干渉の削減) を行うようになっている。すなわち、従来、符号間干渉の削減は、スイッチおよび容量を組み合わせで以前に伝送された信号のデータを保持し、それを利用して行っていたが、本実施例では、例えば、2 つの差動増幅部 6 1 0 a, 6 1 0 b を用いて符号間干渉を削減するようになっている。なお、例えば、差動増幅部 6 1 0 b の出力レベルの調整は、電流源 6 1 4 0 を流れる電流を制御することで行うことができる。また、電流源 6 1 1 0 を流れる電流を制御して差動増幅部 6 1 0 a の出力レベルの調整を行うこともできるが、通常、電流源 6 1 4 0 を流れる電流を制御して差動増幅部 6 1 0 b の出力レベルを調整すれば十分である。

【0045】

一方の差動増幅部610aは、クロック信号 $\phi 0$ 、 $\phi 2$ で制御されるトランスファゲートで構成されたサンプルスイッチ6111、6112と、ゲートに低電位電源電圧VSSが印加された能動負荷（トランジスタ）6101、6102、差動入力用トランジスタ6103、6104、電流源6110、および、スイッチ6107を備えている。サンプルスイッチ6111および6112は、クロック信号 $\phi 2$ が高レベル『H』（クロック信号 $\phi 0$ が低レベル『L』）のときにオンとなり、クロック信号 $\phi 2$ が高レベル『H』から低レベル『L』に立ち下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi 0$ で制御されるトランジスタ6107がオンとなってバッファ回路（トランジスタ6101～6104）が活性化して、入力信号INPUT、INPUTXを取り込むようになっている。

【0046】

ここで、トランジスタ6105はトランジスタ6106とカレントミラー接続され、バッファ回路（トランジスタ6101～6104）の電流（例えば、100 μ A程度）は、このトランジスタ6106を介して流れるようになっている。なお、クロック信号 $\phi 2$ により制御されるトランジスタ（微小電流回路）6109は、クロック信号 $\phi 0$ が低レベル『L』でスイッチ（トランジスタ）6107がオフのときにオンして微小電流（例えば、1 μ A程度）をトランジスタ6106にトランジスタ6108を介して流し、差動入力用トランジスタ6103、6104によるキックバックノイズ等の発生を低減するようになっている。

【0047】

同様に、他方の差動増幅部610bは、クロック信号 $\phi 3$ 、 $\phi 1$ で制御されるトランスファゲートで構成されたサンプルスイッチ6141、6142と、ゲートに低電位電源電圧VSSが印加された能動負荷（トランジスタ）6131、6132、差動入力用トランジスタ6133、6134、電流源6140、および、スイッチ6137を備えている。サンプルスイッチ6141および6142は、クロック信号 $\phi 1$ が高レベル『H』（クロック信号 $\phi 3$ が低レベル『L』）のときにオンとなり、クロック信号 $\phi 1$ が高レベル『H』から低レベル『L』に立ち

下がるタイミングで、高レベル『H』に変化するクロック信号 $\phi 3$ で制御されるトランジスタ6137がオンとなってバッファ回路（トランジスタ6131～6134）が活性化して、入力信号INPUT, INPUTXを取り込むようになっている。

【0048】

ここで、トランジスタ6135はトランジスタ6136とカレントミラー接続され、バッファ回路（トランジスタ6131～6134）の電流は、このトランジスタ6136を介して流れるようになっている。なお、クロック信号 $\phi 1$ により制御されるトランジスタ（微小電流回路）6139は、クロック信号 $\phi 3$ が低レベル『L』でトランジスタ6137がオフのときにオンして微小電流をトランジスタ6136にトランジスタ6138を介して流し、差動入力用トランジスタ6133, 6134によるキックバックノイズ等の発生を低減するようになっている。また、電流源6140を流れる電流を制御することにより、差動増幅部610bの出力レベルを調整することができる。

【0049】

pMOSトランジスタ6151および6152は、クロック信号 $\phi 2$ により制御され、クロック信号 $\phi 2$ が低レベル『L』に立ち下がる時にオンとなって、2つの差動増幅部610aおよび610bの出力を接続して差動出力D[0]およびDX[0]を判定回路630に供給するようになっている。

【0050】

このように、イコライザ回路（610）は、2つの差動増幅部610aおよび610bを備え、各差動増幅部が異なるタイミング（クロック信号 $\phi 0$, $\phi 2$; $\phi 3$, $\phi 1$ ）で受信信号系列を増幅し、さらに、例えば、クロック信号 $\phi 2$ の立ち上がりで1つの判定回路（630）に対して同時に出力を行うようになっている。そして、2つの差動増幅部（トランスコンダクタ）610a, 610bにより出力の大きさの調整（出力の重み付け）を行うことで、伝送路の特性から生じる信号間干渉を補償してより一層判定回路による判定の精度を向上させることが可能になる。

【0051】

図 1 1 に示されるように、判定回路 6 3 0 は、クロック信号 $\phi 1$ により制御されるようになっている。ここで、他の判定回路 6 3 1, 6 3 2, 6 3 3 も判定回路 6 3 0 と同様の構成とされているが、それぞれクロック信号 $\phi 2$, $\phi 3$, $\phi 0$ により制御され、インターリーブ動作を行うように構成されている。

【 0 0 5 2 】

判定回路 6 3 0 は、pMOS トランジスタ 6 3 0 1 ~ 6 3 0 4、nMOS トランジスタ 6 3 0 5 ~ 6 3 0 9、NAND ゲート 6 3 1 1, 6 3 1 2、および、インバータ、6 3 1 3, 6 3 1 4 を備えて構成されている。トランジスタ 6 3 0 1 のゲートには、クロック信号 $\phi 1$ が供給され、クロック信号 $\phi 1$ が高レベル『H』のときに回路（差動回路）を活性化して判定動作を行うようになっている。さらに、クロック信号 $\phi 1$ はトランジスタ 6 3 0 3, 6 3 0 9 のゲートにも供給され、クロック信号 $\phi 1$ が低レベル『L』で差動回路が非活性のときに、プリチャージ用トランジスタ 6 3 0 1, 6 3 0 3 をオンして、NAND ゲート 6 3 1 1, 6 3 1 2 によるラッチの入力レベルをプリチャージするようになっている。なお、インバータ 6 3 1 3, 6 3 1 4 は、ラッチ（NAND ゲート 6 3 1 1, 6 3 1 2）の出力波形を整形するためのものであり、このインバータ 6 3 1 3, 6 3 1 4 を介して判定結果（差動出力信号 DOUT [0], DOUTX [0]）が出力されることになる。

【 0 0 5 3 】

なお、各判定回路 6 3 0, 6 3 1, 6 3 2, 6 3 3 は、それぞれ四相クロック信号における各クロック信号 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 0$ により制御されて、順次判定結果 DOUT [0], DOUTX [0] ~ DOUT [3], DOUTX [3] を出力することになる。

【 0 0 5 4 】

図 1 3 は本発明のレシーバ回路の第 4 実施例を示すブロック図であり、上述した第 3 実施例を変形したものに相当する。すなわち、本第 4 実施例では、判定回路がシングルエンドの信号を出力するラッチ 7 3 0 ~ 7 3 3 として構成されている。

【 0 0 5 5 】

図 1 3 において、参照符号 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a は第 1 の差動増幅部（図 1 0 における差動増幅部 6 1 0 a に相当）を示し、7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は第 2 の差動増幅部（図 1 0 における差動増幅部 6 1 0 b に相当）を示し、そして、7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c はスイッチ（図 1 0 におけるトランジスタ 6 1 5 1, 6 1 5 2 に相当）を示している。また、参照符号 7 3 0 ~ 7 3 3 は差動の入力信号を受け取ってシングルエンドの信号を出力するラッチ（図 1 1 に示す判定回路 6 3 0 に相当）を示している。ここで、参照符号 $\phi 0 \sim \phi 3$ は互いに位相が 9 0 度だけ異なる四相クロック信号である。また、各第 1 の差動増幅部 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a および第 2 の差動増幅部 7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は、トランスコンダクタとして構成され、スイッチ 7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c をオンすることで各トランスコンダクタの出力電流を加算して出力の大きさの調整（出力の重み付け）を行い、伝送路の特性から生じる信号間干渉を補償するようになっている。

【 0 0 5 6 】

各第 1 の差動増幅部 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a は、それぞれクロック信号 $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$) によりデータ入力 (INPUT, INPUTX) の取り込みタイミングが制御され、また、各第 2 の差動増幅部 7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b は、それぞれクロック信号 $\phi 3$ ($\phi 1$), $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$) によりデータ入力の取り込みタイミングが制御され、そして、各スイッチ 7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c は、それぞれクロック信号 $\phi 0$ ($\phi 2$), $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$) によりスイッチングのタイミングが制御されるようになっている。さらに、各ラッチ 7 3 0, 7 3 1, 7 3 2, 7 3 3 は、それぞれクロック信号 $\phi 1$ ($\phi 3$), $\phi 2$ ($\phi 0$), $\phi 3$ ($\phi 1$), $\phi 0$ ($\phi 2$) により入力データ（イコライザ回路の出力信号）の取り込みタイミングが制御されるようになっている。

【 0 0 5 7 】

すなわち、例えば、第 1 の差動増幅部 7 1 0 a におけるサンプルスイッチ（図

10における第1の差動増幅部610aのサンプルスイッチ6111, 6112を参照)がクロック信号 ϕ 2の立ち下がり(クロック信号 ϕ 0の立ち上がり)によって切断されると、それと同時に、クロック信号 ϕ 0の立ち上がりにより該第1の差動増幅部710a内の電流源スイッチ(図10における第1の差動増幅部610aのトランジスタ6107を参照)がオンになり、第1の差動増幅部(トランスコンダクタ)710aが駆動を開始する。同様に、例えば、第2の差動増幅部710bにおけるサンプルスイッチ(図10における第1の差動増幅部610bのサンプルスイッチ6141, 6142を参照)がクロック信号 ϕ 1の立ち下がり(クロック信号 ϕ 3の立ち上がり)によって切断されると、それと同時に、クロック信号 ϕ 3の立ち上がりにより該第2の差動増幅部710b内の電流源スイッチ(図10における第2の差動増幅部610bのトランジスタ6137を参照)がオンになり、第2の差動増幅部(トランスコンダクタ)710bが駆動を開始する。

【0058】

次に、クロック信号 ϕ 2の立ち上がりにより第1の差動増幅部710aにおけるサンプルスイッチ(6111, 6112)が接続されると、同時にクロック信号 ϕ 0が立ち下がり、電流源スイッチ(6107)がオフになる。これにより、第1の差動増幅部710aはオフ状態となり、十分に小さい電流しか出力しないので、サンプルスイッチへの入力是一定に保持される。さらに、例えば、クロック信号 ϕ 2の立ち上がりによりスイッチ710c(図10におけるトランジスタ6151, 6152を参照)がオンすると、第2の差動増幅部710bの出力(差動出力)が第1の差動増幅部710aの出力と繋がれ、出力電流が加算される。そして、この2つの差動増幅部(トランスコンダクタ)710a, 710bによる出力電流の加算で出力の大きさの調整を行う(例えば、図10における差動増幅部610bの電流源6140を流れる電流を制御する)ことで、伝送路の特性から生じる信号間干渉を補償するようになっている。

【0059】

図14は図13のレシーバ回路の動作を説明するための図であり、図15は図13のレシーバ回路の動作を説明するための波形の一例を示す図であり、図13

における第1の差動増幅部710a、第2の差動増幅部710b、スイッチ710cおよびラッチ730の動作を説明するためのものである。なお、図14および図15において、参照符号Data0はクロック信号 $\phi 0$ ($\phi 2$)により制御される第1の差動増幅部710aの出力データを示し、Data3'はクロック信号 $\phi 3$ ($\phi 1$)により制御される第2の差動増幅部710bの出力データを示し、そして、Data0eはクロック信号 $\phi 0$ ($\phi 2$)により制御されるスイッチ710cによりイコライズされた後の出力データ（イコライザ回路の出力データData0）を示している。さらに、参照符号Preは各第1および第2の差動増幅部におけるプリチャージ期間を示し、また、Latはクロック信号 $\phi 1$ ($\phi 3$)により制御されるラッチ730がデータ（Data0e）を取り込む（ラッチする）タイミングを示している。なお、図15における参照符号Data0e、Data0exは、イコライズされた後の差動出力を示している。

【0060】

図14および図15に示されるように、ラッチ（判定回路）730のラッチタイミングLatは、クロック信号 $\phi 3$ の立ち下り（クロック信号 $\phi 1$ の立ち上がり）タイミングで行われ、そして、プリチャージPreは、クロック信号 $\phi 3$ が高レベル『H』の期間（クロック信号 $\phi 1$ が低レベル『L』の期間）に行われる。そして、ラッチ730による各ラッチタイミングLatでは、イコライズされた後の差動出力（イコライザ回路の差動出力）Data0e、Data0exがラッチ730に取り込まれて判定が行われる。

【0061】

ここで、図15からも明らかなように、イコライザ回路の差動出力Data0e、Data0exは、両方ともプリチャージ期間Preでプリチャージ（例えば、高電位の電源電圧VDD：1.3ボルト程度）された後に、データ入力（INPUT, INPUTX）に応じた電圧レベルとなり、また、ラッチ730は、イコライザ回路の差動出力Data0e、Data0exに十分な差電圧が生じたタイミングLatでラッチ動作を行うため、正確なデータの判定を行うことができる。

【0062】

なお、以上の記述において、例えば、イコライザ回路 6 1 0 ~ 6 1 3、判定回路 6 3 0 ~ 6 3 3 等は、四相クロック信号 $\phi 0 \sim \phi 3$ により制御される 4 組として説明したが、これらクロック信号およびイコライザ回路（バッファ回路）等は、様々に変形することができる。また、例えば、イコライザ回路 6 1 0 は 2 つの差動増幅部 6 1 0 a, 6 1 0 b により構成されるものとして説明したが、これらの構成も様々に変更することができるのはいうまでもない。

【 0 0 6 3 】

以上説明したように、本発明レシーバ回路によれば、高速信号の受信に問題となる伝送路特性から生ずる符号間干渉を無効化することができるため、従来よりも高い精度で高速な受信信号を判定することが可能になる。

【 0 0 6 4 】

（付記 1） 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とするレシーバ回路。

【 0 0 6 5 】

（付記 2） 入力信号をサンプリングするサンプリング回路と、
該サンプリング回路の出力をバッファするバッファ回路と、
該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とするレシーバ回路。

【 0 0 6 6 】

（付記 3） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ制御回路は、前記バッファ回路と電源線との間に配置されたスイッチであることを特徴とするレシーバ回路。

【 0 0 6 7 】

（付記 4） 付記 1 または 2 に記載のレシーバ回路において、前記バッファ制

御回路は、前記バッファ回路の出力と負荷デバイスとの間に配置されたスイッチであることを特徴とするレシーバ回路。

【 0 0 6 8 】

(付記 5) 付記 1 または 2 に記載のレシーバ回路において、さらに、前記サンプリング回路が入力信号のサンプリングを行う前に、前記判定回路の入力をプリチャージするプリチャージ回路を備えることを特徴とするレシーバ回路。

【 0 0 6 9 】

(付記 6) 付記 1 または 2 に記載のレシーバ回路において、前記サンプリング回路は、一連のビット列をサンプルする複数のサンプルスイッチを備え、且つ、前記バッファ回路は、該各サンプルスイッチに対応して複数設けられていることを特徴とするレシーバ回路。

【 0 0 7 0 】

(付記 7) 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は、複数のバッファ回路ユニットを備え、該各バッファ回路ユニットの出力の大きさを調整することで信号伝送路の特性を補償するようにしたことを特徴とするレシーバ回路。

【 0 0 7 1 】

(付記 8) 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は入力電圧を電流に変換するトランスコンダクタであり、前記バッファ制御回路は、前記サンプリングが行われるタイミングまで、該トランスコンダクタの電流を小さくしておく電流源スイッチであることを特徴とするレシーバ回路。

【 0 0 7 2 】

(付記 9) 付記 1 または 2 に記載のレシーバ回路において、前記バッファ回路は、前記サンプリング回路が入力信号のサンプリングを行う前に当該バッファ回路に微小電流を流しておく微小電流回路を備えることを特徴とするレシーバ回路。

【 0 0 7 3 】

(付記 1 0) 付記 1 または 2 に記載のレシーバ回路において、さらに、前記バッファ回路の出力に、前記サンプリング回路が入力信号のサンプリングを行う

ときに当該バッファ回路の出力を略一定の値にするスイッチ回路を備えることを特徴とするレシーバ回路。

【 0 0 7 4 】

(付記 1 1) インターリーブ動作する複数のレシーバユニットを備えるレシーバ回路装置であって、付記 1 ～ 1 0 に記載のレシーバ回路を該各レシーバユニットとして構成するようにしたことを特徴とするレシーバ回路装置。

【 0 0 7 5 】

(付記 1 2) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路とを備えることを特徴とする信号伝送システム。

【 0 0 7 6 】

(付記 1 3) ドライバ回路と、信号伝送手段と、該信号伝送手段を介して送られる該ドライバ回路の出力を受け取るレシーバ回路とを備える信号伝送システムであって、該レシーバ回路は、

入力信号をサンプリングするサンプリング回路と、

該サンプリング回路の出力をバッファするバッファ回路と、

該バッファ回路の出力の判定を行う判定回路と、

前記サンプリングを行うタイミングまで、前記バッファ回路の出力を略一定値とするバッファ制御回路とを備えることを特徴とする信号伝送システム。

【 0 0 7 7 】

【発明の効果】

以上、詳述したように、本発明によれば、符号間干渉を取り除き、より正確なデータ判定を行うことのできるレシーバ回路を提供することができる。

【図面の簡単な説明】

【図 1】

信号伝送システムの全体構成を模式的に示すブロック図である。

【図 2】

図 1 におけるレシーバ回路の一構成例を示すブロック図である。

【図 3】

従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図である。

【図 4】

従来のレシーバ回路における課題を説明するための図である。

【図 5】

本発明に係るレシーバ回路の原理構成の一例を示すブロック回路図である。

【図 6】

図 5 のレシーバ回路の動作を説明するための図である。

【図 7】

本発明のレシーバ回路の第 1 実施例を示すブロック図である。

【図 8】

本発明のレシーバ回路の第 2 実施例を示すブロック図である。

【図 9】

本発明のレシーバ回路の第 3 実施例を示すブロック図である。

【図 1 0】

図 9 のレシーバ回路におけるイコライザ回路の一例を示す回路図である。

【図 1 1】

図 9 のレシーバ回路における判定回路の一例を示す回路図である。

【図 1 2】

図 9 のレシーバ回路の動作を説明するためのタイミング図である。

【図 1 3】

本発明のレシーバ回路の第 4 実施例を示すブロック図である。

【図 1 4】

図 1 3 のレシーバ回路の動作を説明するための図である。

【図 1 5】

図 1 3 のレシーバ回路の動作を説明するための波形の一例を示す図である。

【符号の説明】

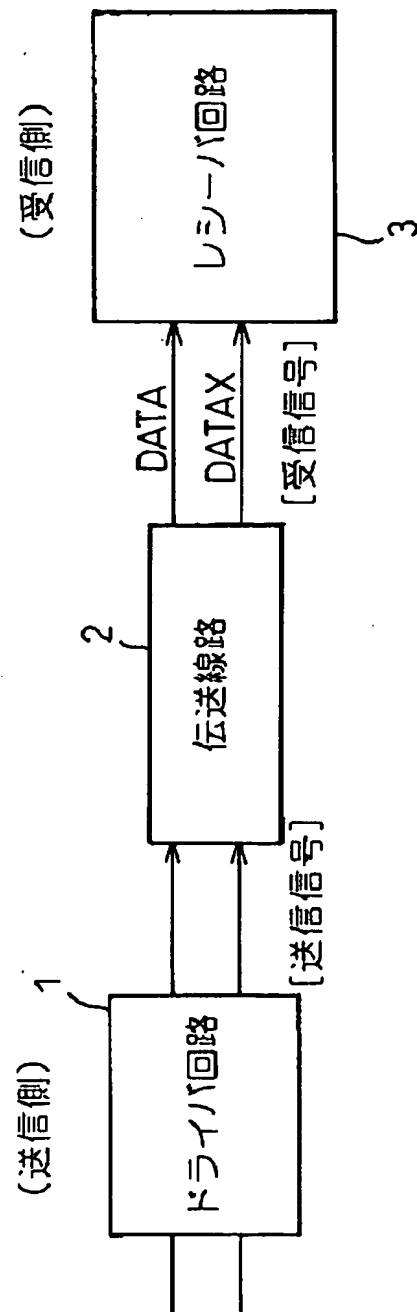
- 1 … ドライバ回路 (送信回路)
- 2 … 伝送線路 (信号伝送路)
- 3 … レシーバ回路 (受信回路)
- 3 1 ~ 3 4 … レシーバユニット
- 3 1 1, 3 1 2 ; 4 1 1, 4 1 2 ; 5 1 0 ~ 5 1 3 ; 6 1 1, 6 1 2 … サンプル
スイッチ
- 3 2 0 ; 4 2 0 ; 5 2 0 ~ 5 2 3 ; 6 2 1, 6 2 2 … バッファ回路
- 3 3 0 ; 4 3 0 ; 5 3 0 ~ 5 3 3 ; 6 3 1, 6 3 2 … 判定回路
- 4 4 0 ; 6 1 1 0 ; 6 1 4 0 … 電流源
- 6 4 1, 6 4 2 … スイッチ回路 (pMOS スイッチ)
- 6 1 0 ~ 6 1 3 … イコライザ回路
- 6 1 0 a, 6 1 0 b … 差動増幅部 (トランスコンダクタ)
- 6 1 1 1, 6 1 1 2 ; 6 1 4 1, 6 1 4 2 … トランスファゲート
- 7 1 0 a, 7 1 1 a, 7 1 2 a, 7 1 3 a … 第 1 の差動増幅部
- 7 1 0 b, 7 1 1 b, 7 1 2 b, 7 1 3 b … 第 2 の差動増幅部
- 7 1 0 c, 7 1 1 c, 7 1 2 c, 7 1 3 c … スイッチ
- 7 3 0 ~ 7 3 3 … ラッチ (判定回路)

【書類名】 図面

【図1】

図1

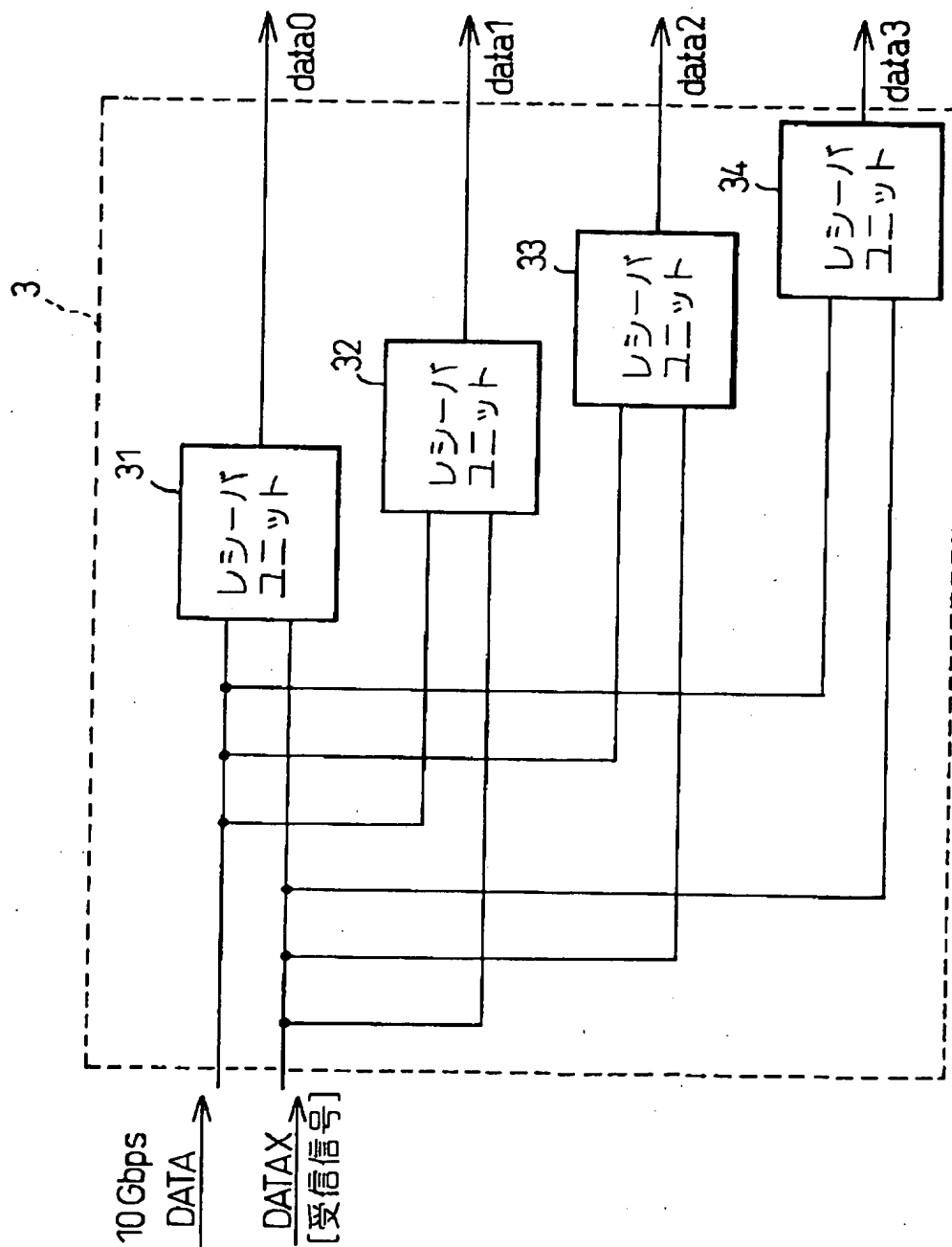
信号伝送システムの全体構成を模式的に示すブロック図



【図 2】

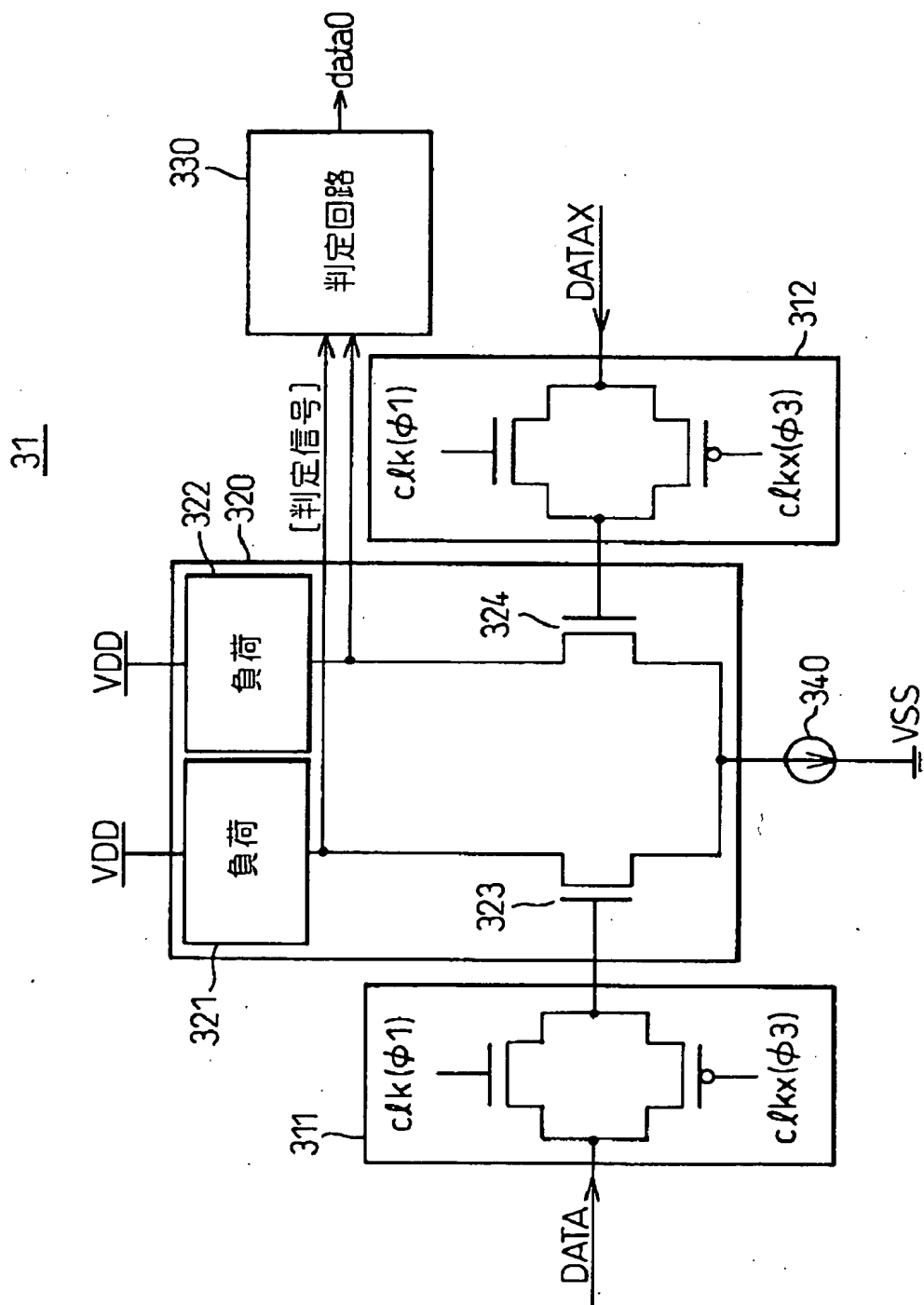
図 2

図 1 におけるレシーバ回路の一構成例を示すブロック図



【図 3】

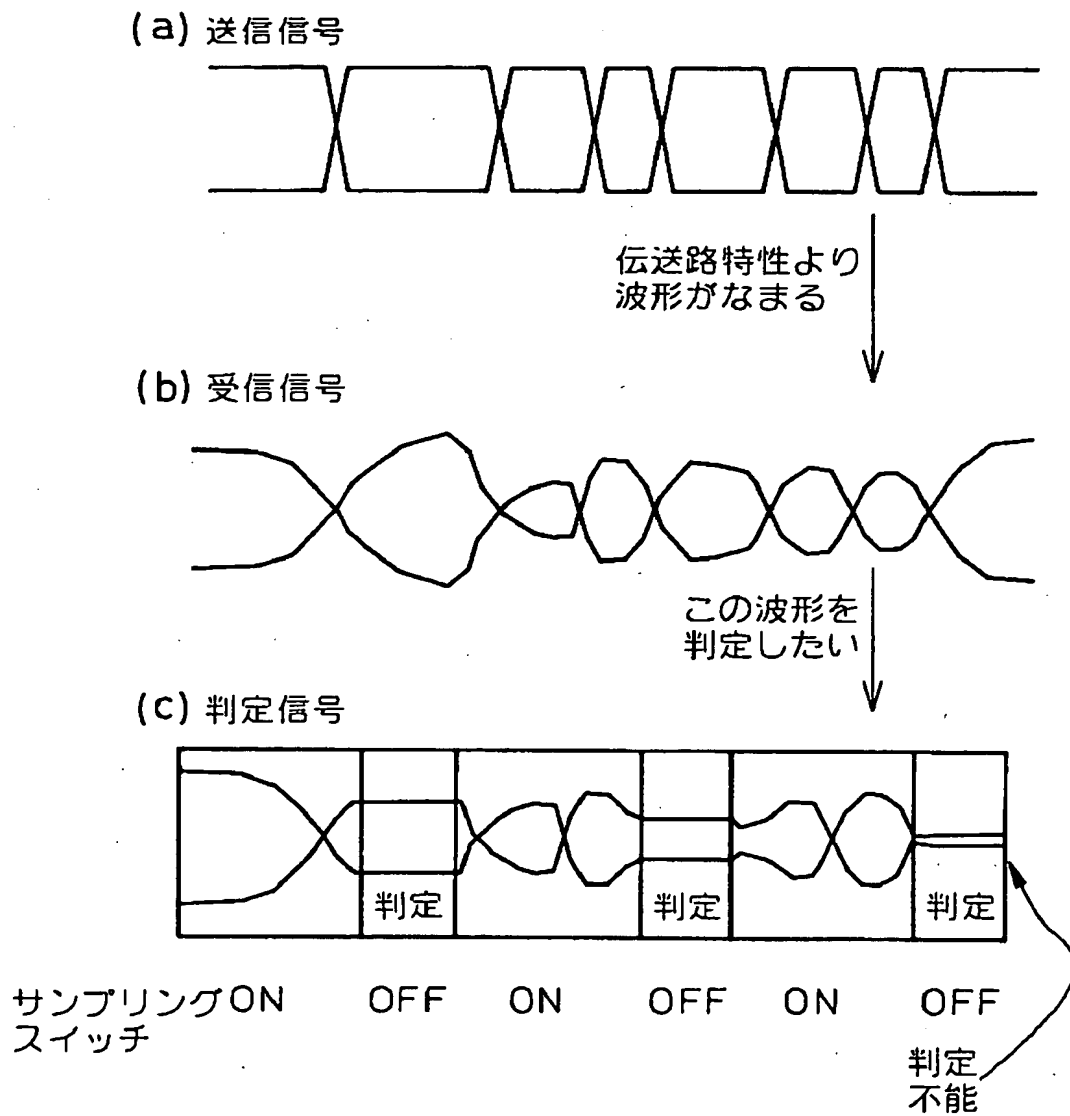
図3 従来のレシーバ回路におけるレシーバユニットの一例を示すブロック回路図



【図 4】

図 4

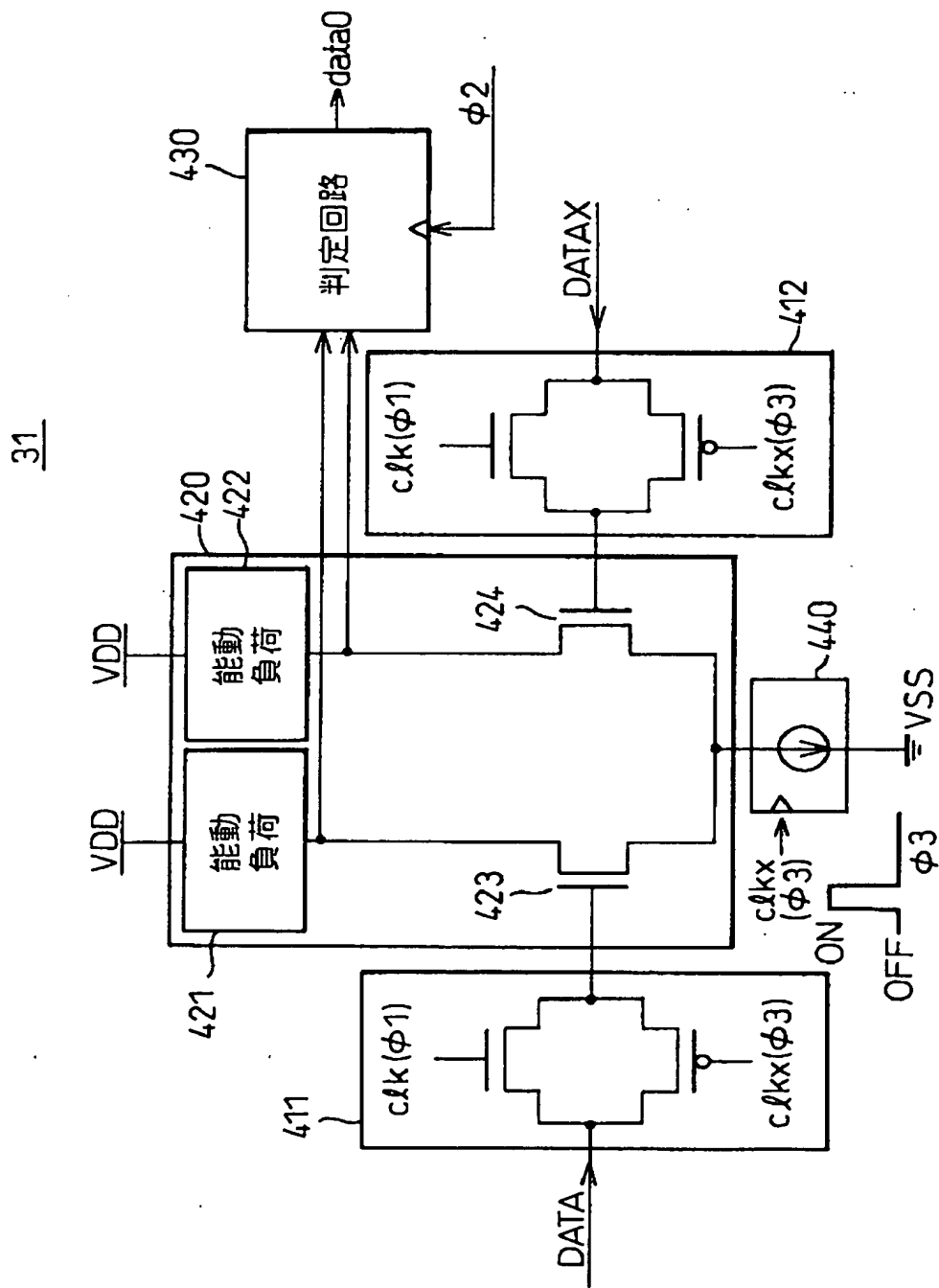
従来のレシーバ回路における課題を説明するための図



【図 5】

図 5

本発明に係るレシーバ回路の原理構成の一例を示すブロック回路図



【図 6】

図 6

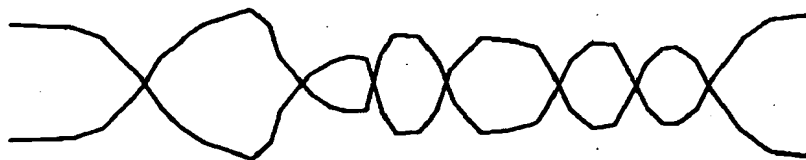
図 5 のレシーバ回路の動作を説明するための図

(a) 送信信号

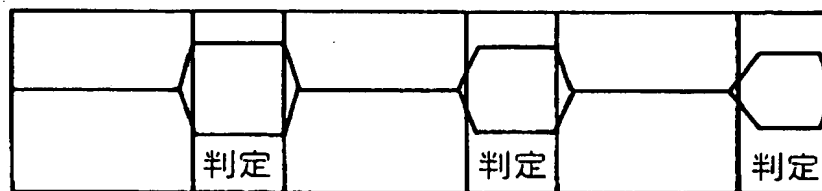


伝送路特性より
波形がなまる

(b) 受信信号



(c) 判定信号

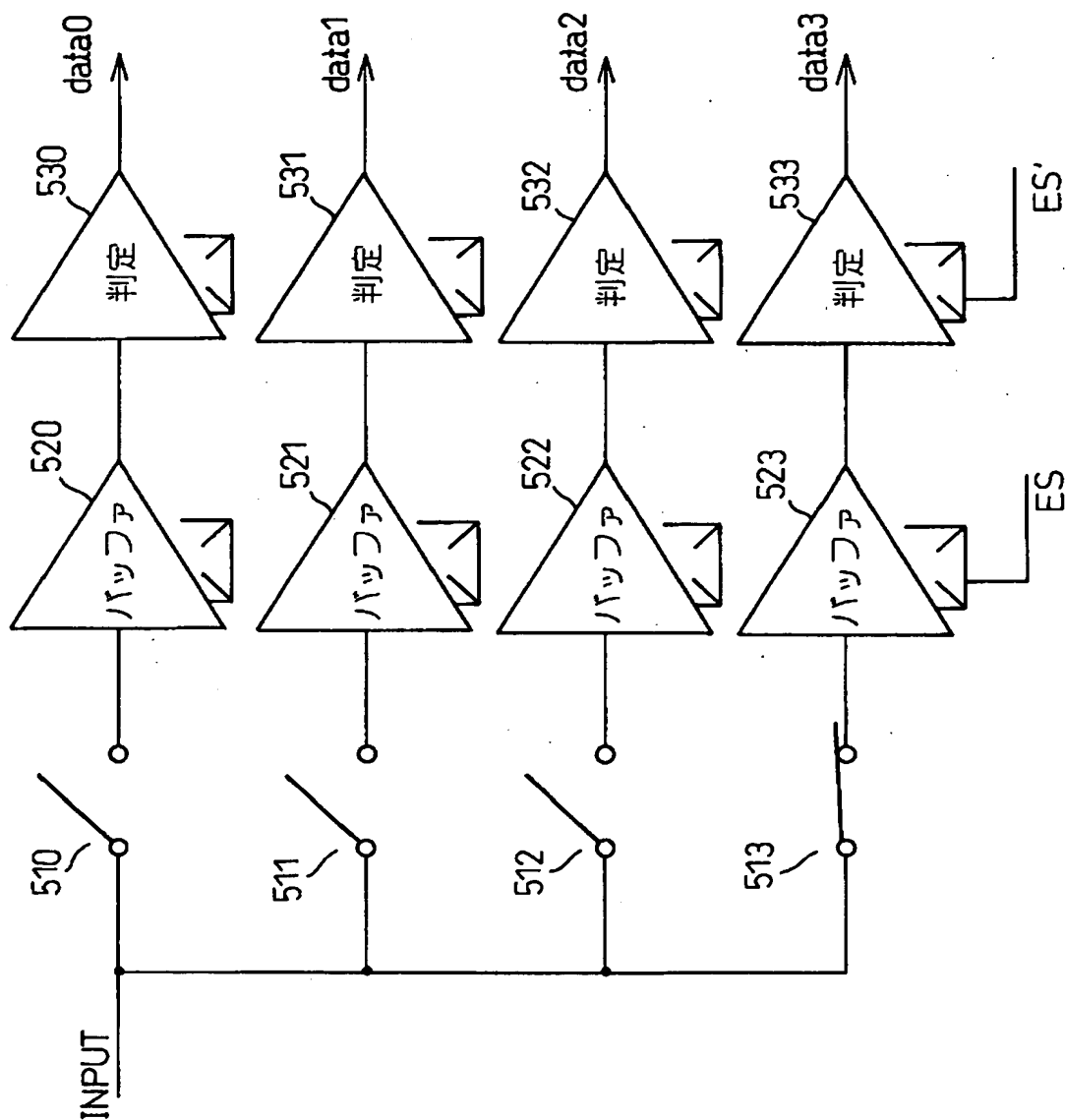


電流源スイッチ OFF ON OFF ON OFF ON

【図 7】

図 7

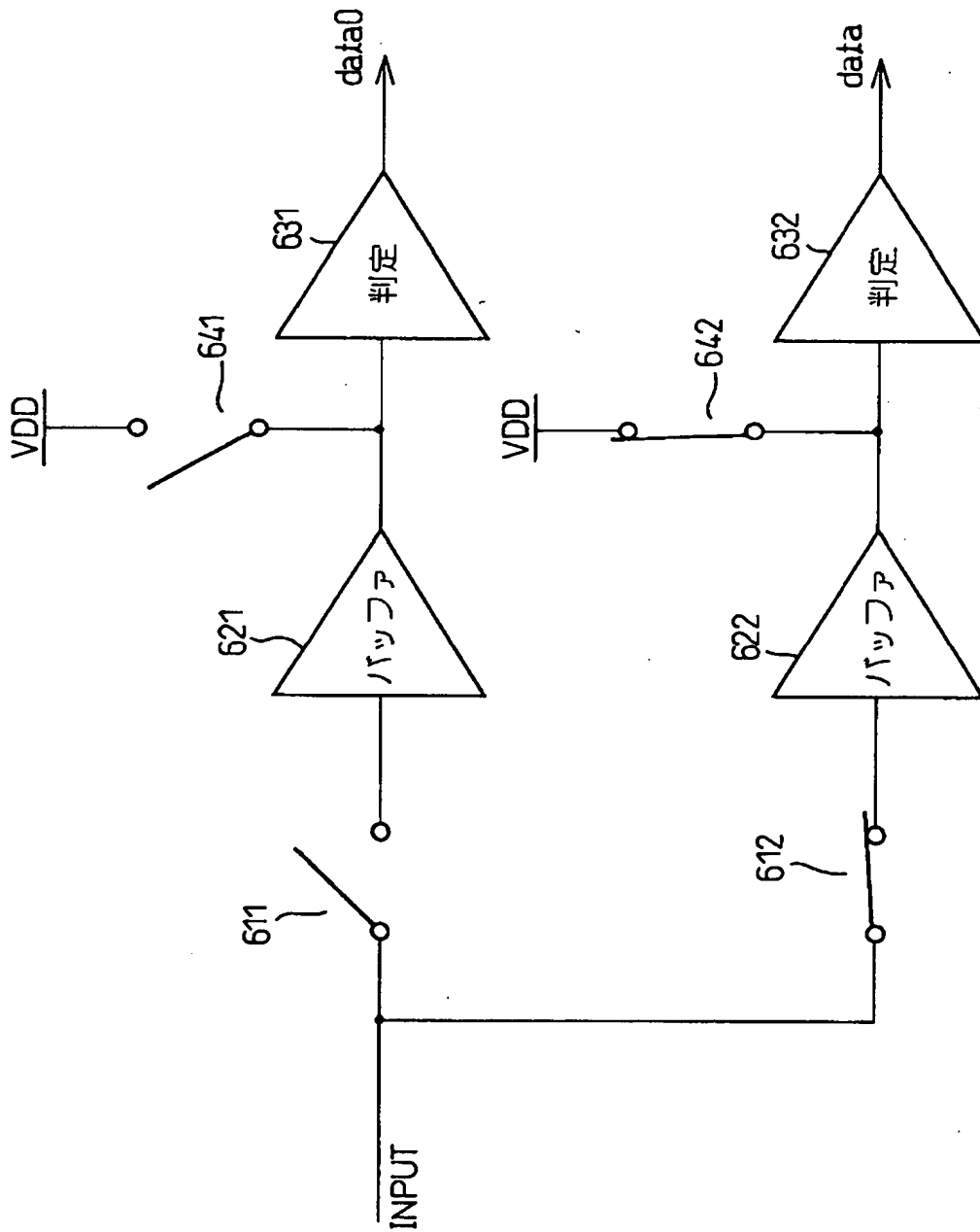
本発明のレシーバ回路の第 1 実施例を示すブロック図



【図 8】

図 8

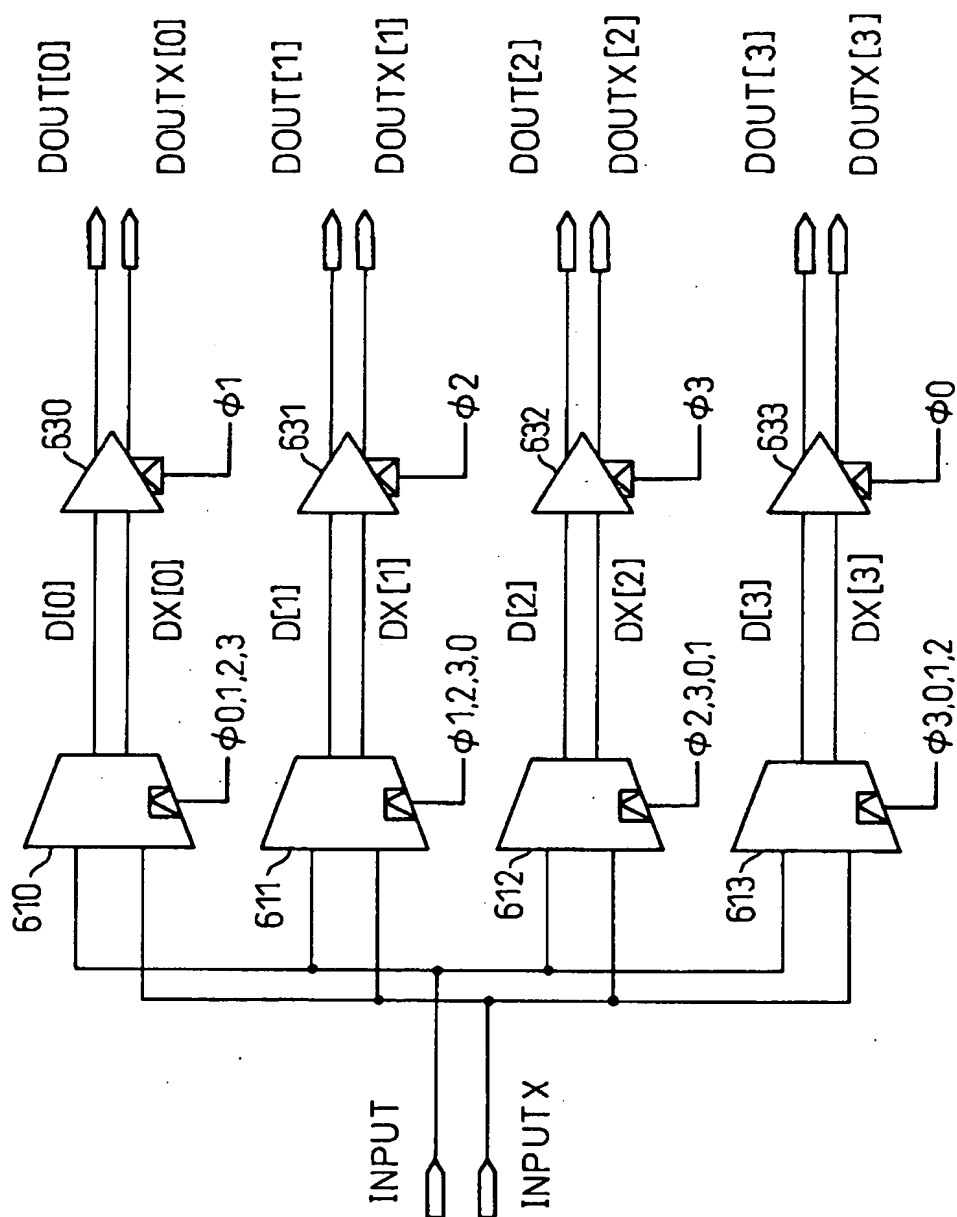
本発明のレシーバ回路の第 2 実施例を示すブロック図



【図 9】

図 9

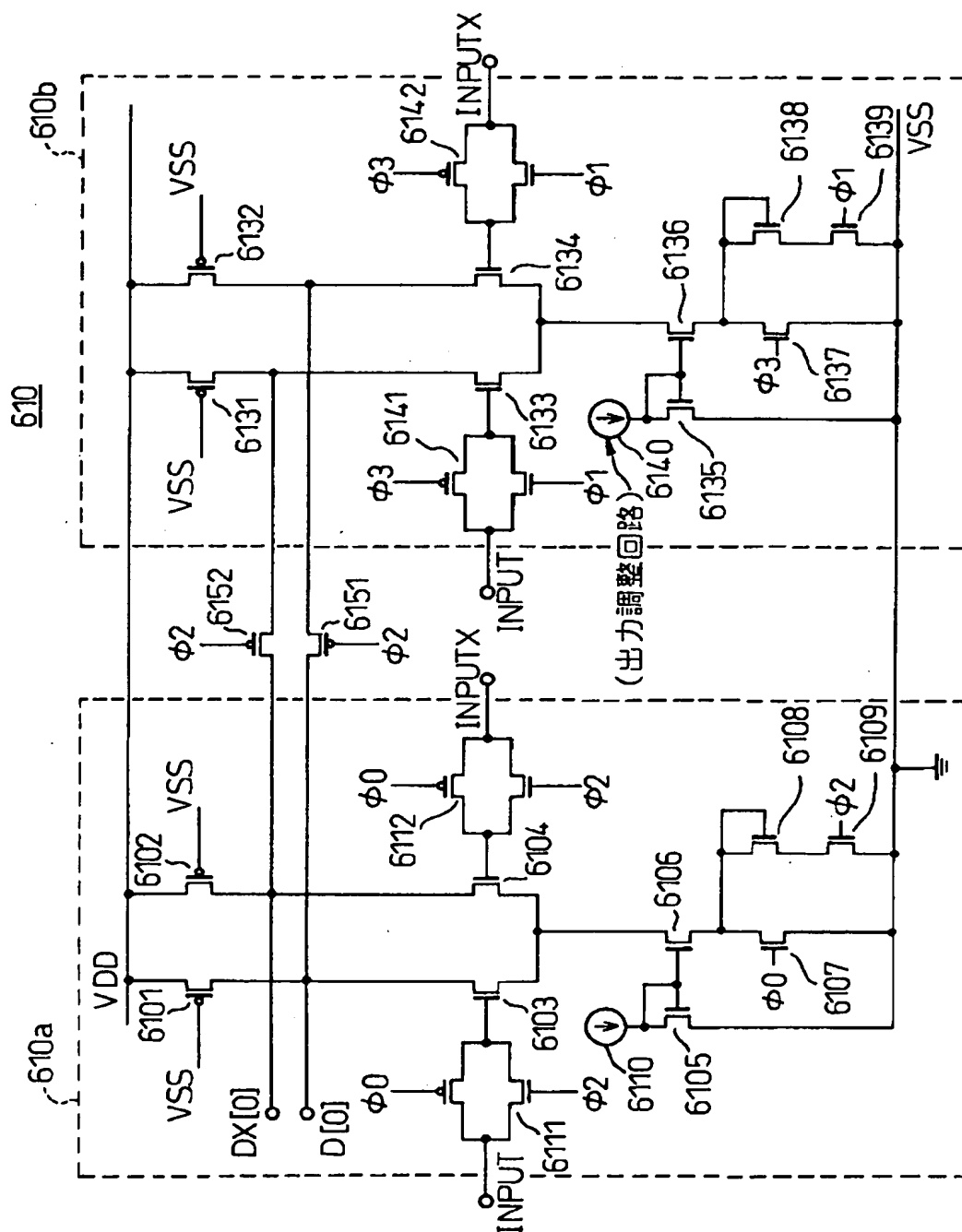
本発明のレシーバ回路の第 3 実施例を示すブロック図



【図10】

図 10

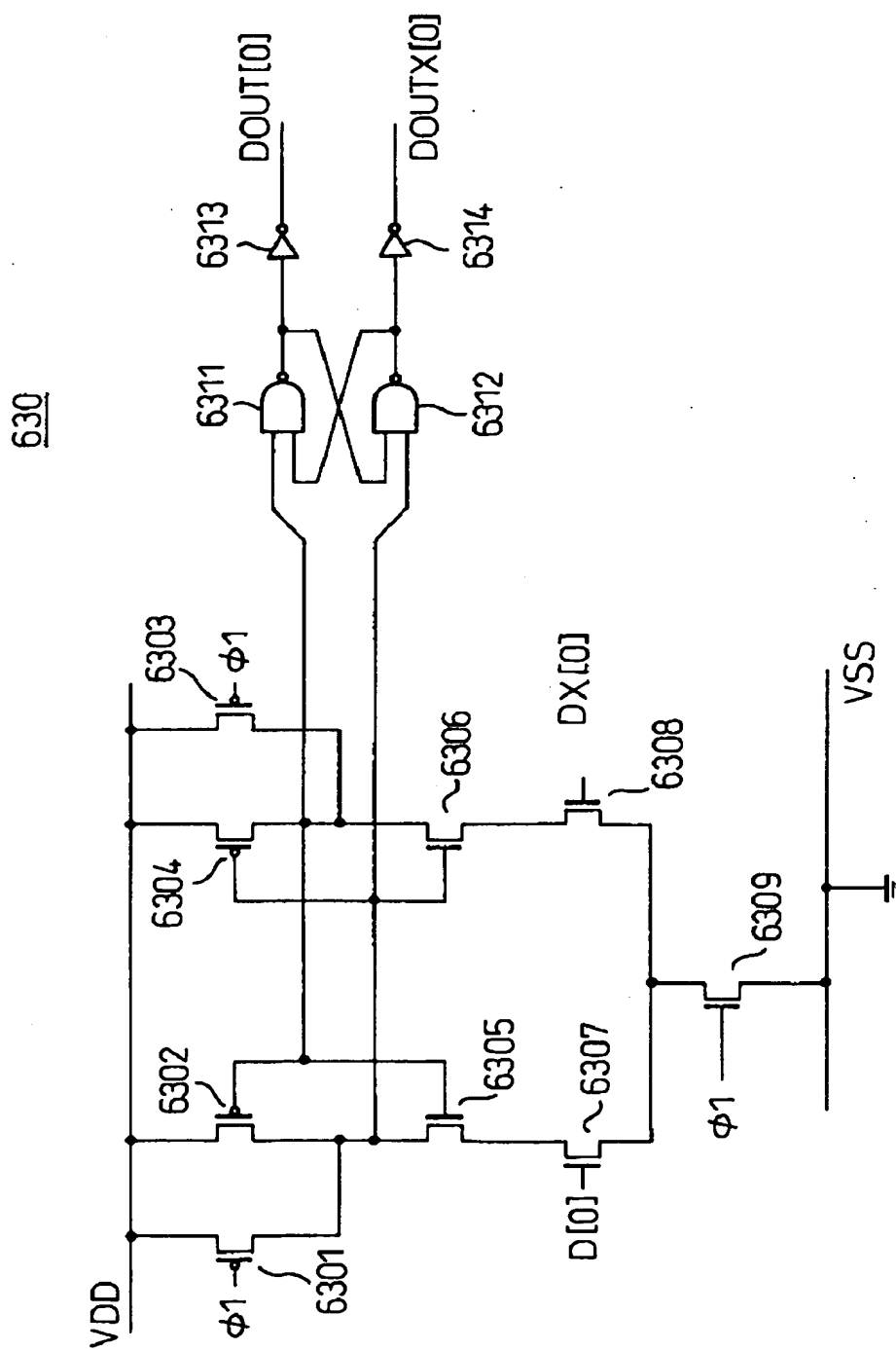
図9のレシーバ回路におけるイコライザ回路の一例を示す回路図



【図 1 1】

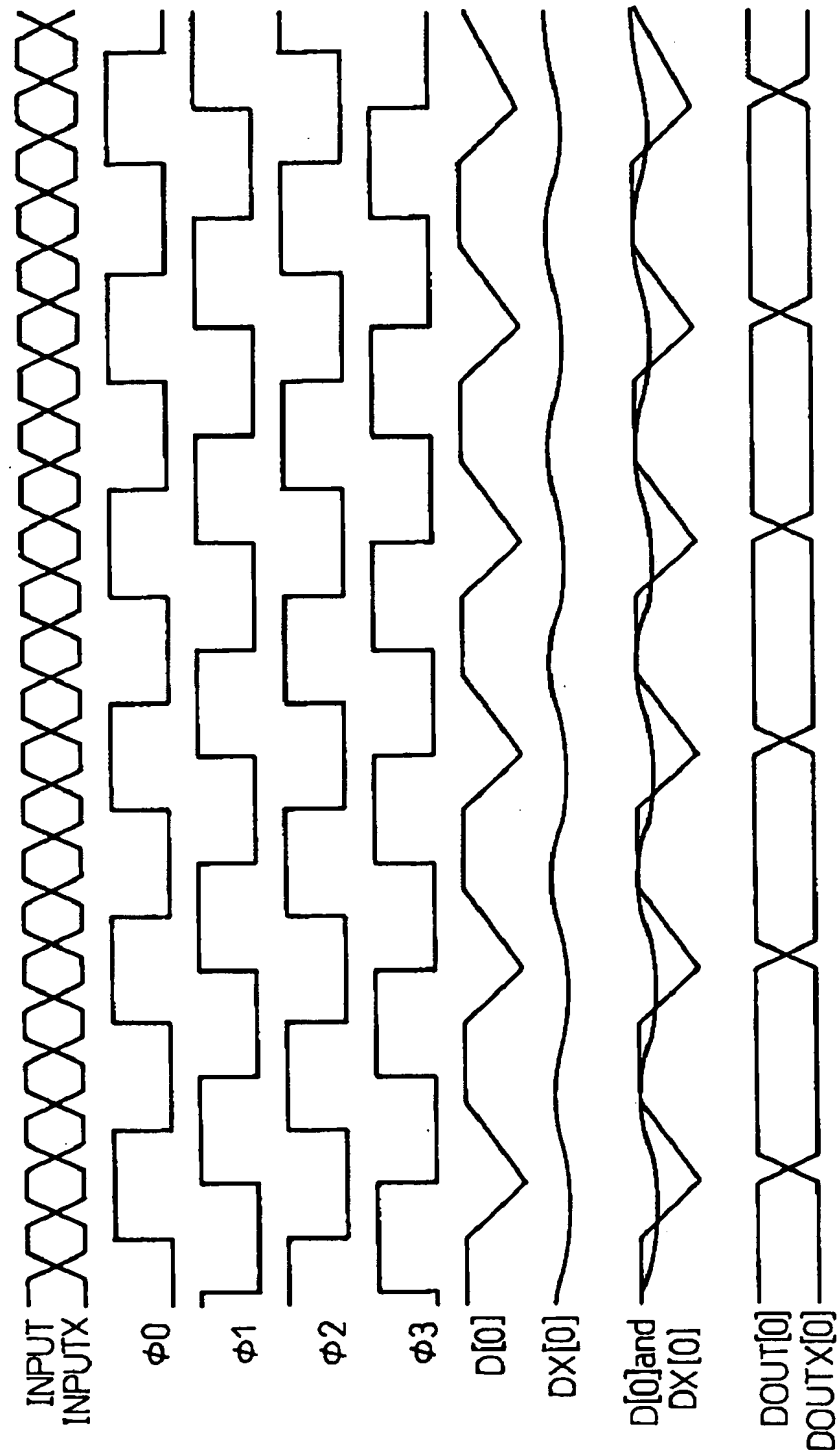
図 11

図 9 のレシーバ回路における判定回路の一例を示す回路図



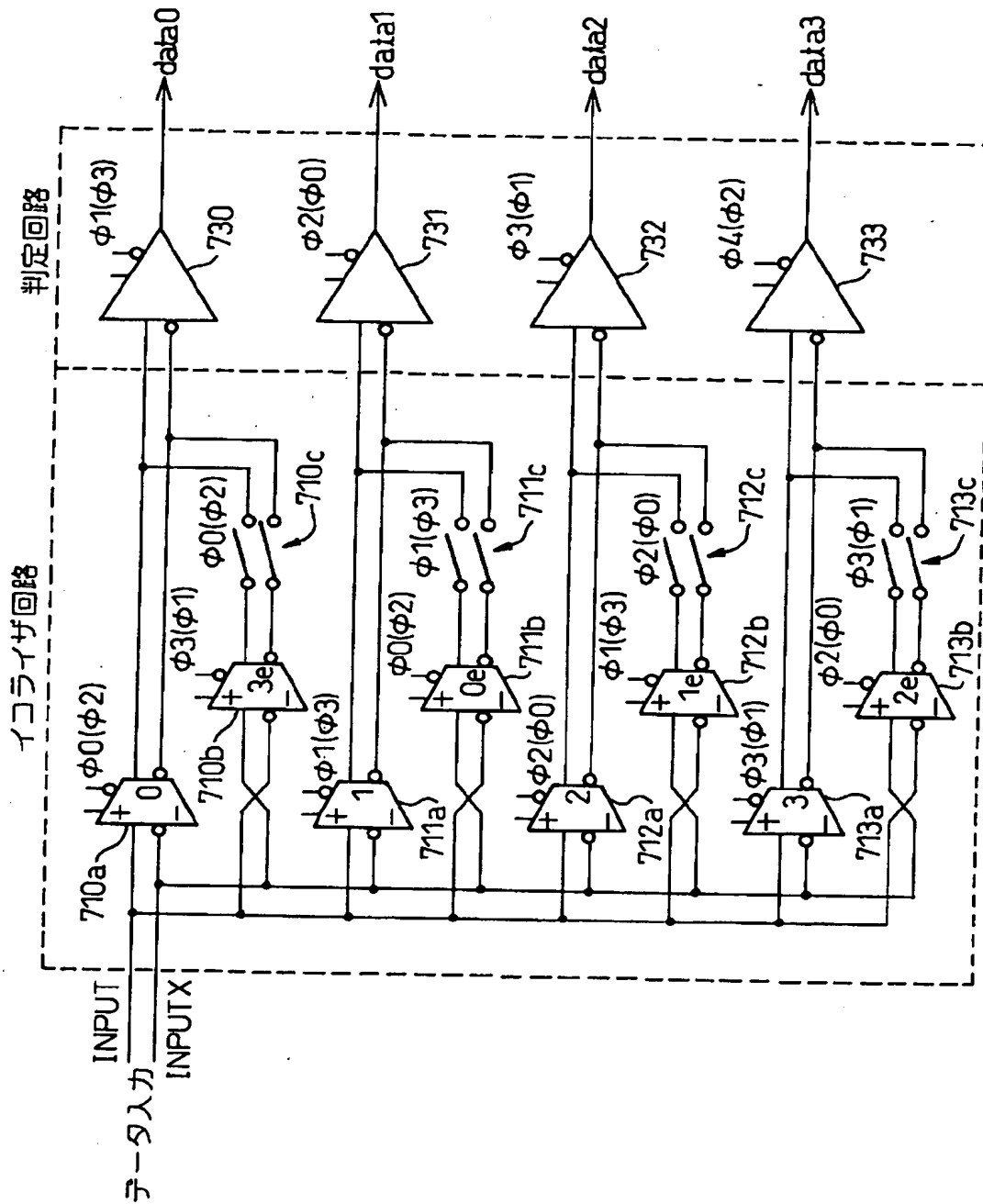
【図 12】

図 12 図 9 のレシーバ回路の動作を説明するためのタイミング図



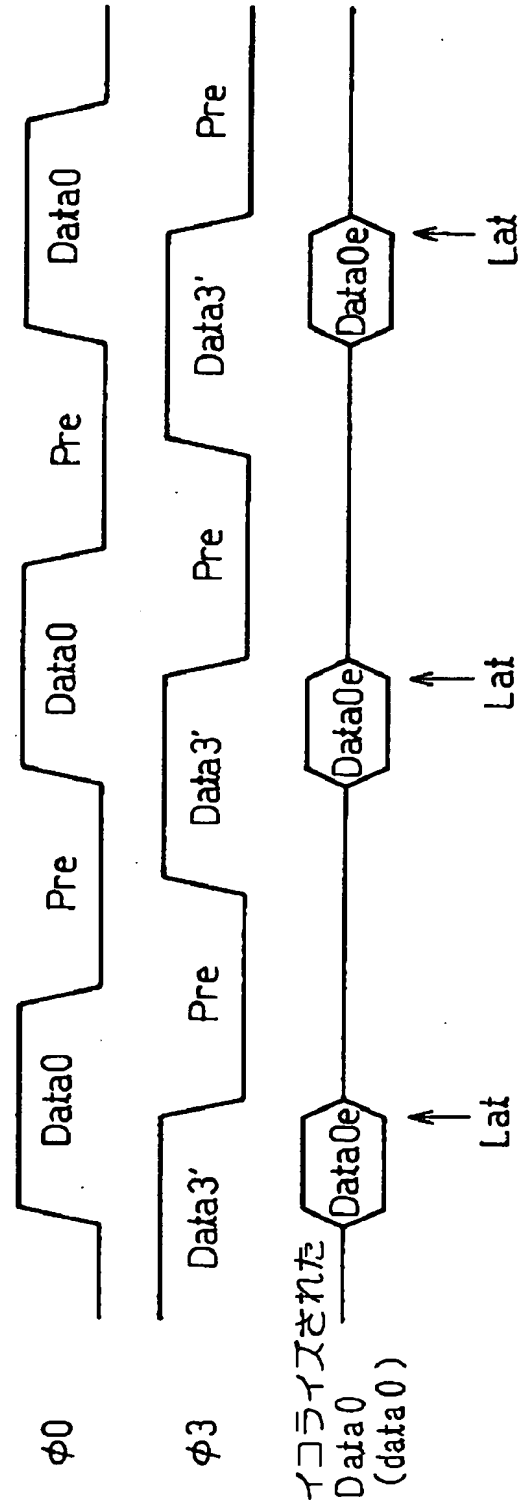
【図13】

図13 本発明のレシーバ回路の第4実施例を示すブロック図



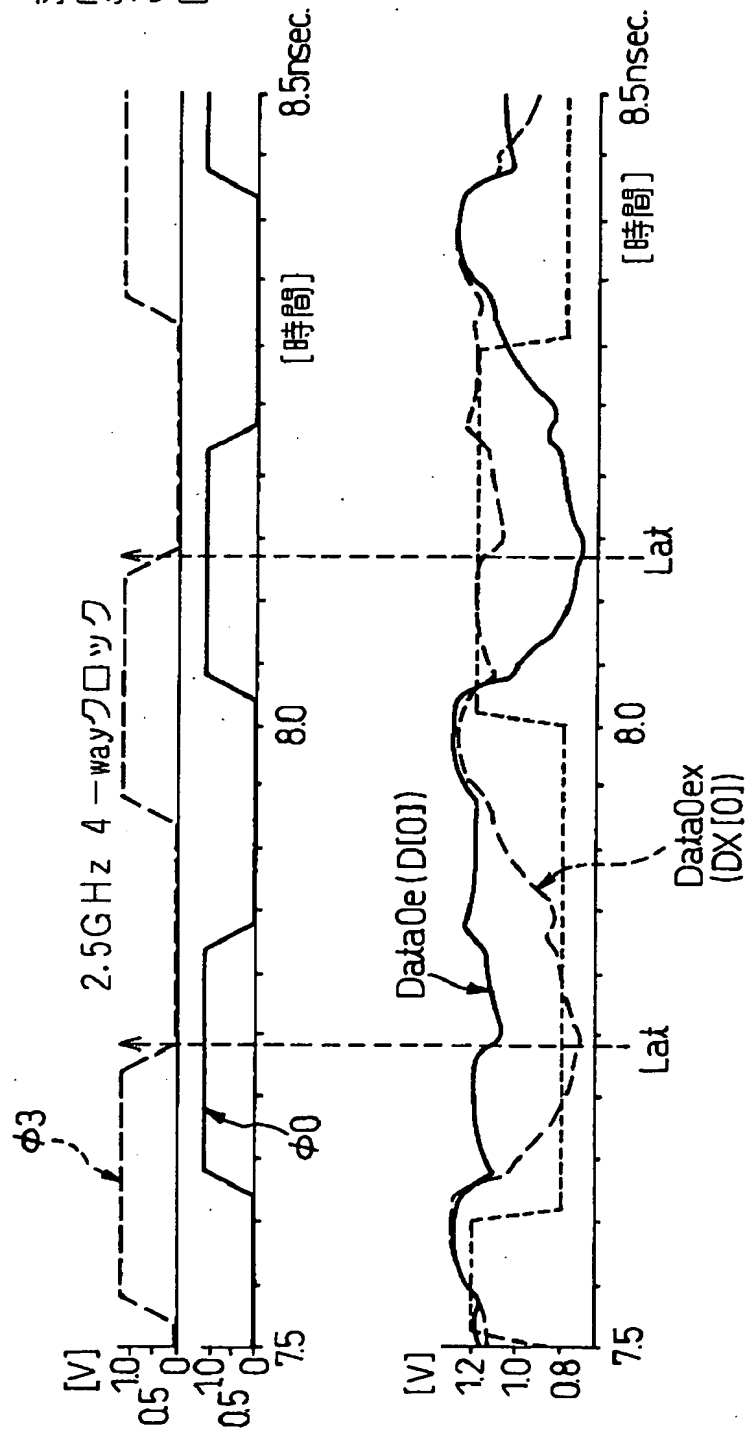
【図 14】

図 14 図13のレシーバ回路の動作を説明するための図



【図15】

図 15 図13のレシーバ回路の動作を説明するための波形の一例を示す図



【書類名】 要約書

【要約】

【課題】 従来のレシーバ回路において、判定回路の入力は、判定以前の信号値に応じて電圧が大きく変動し、データの正確な判定の妨げとなっていた。

【解決手段】 入力信号DATA, DATA Xをサンプリングするサンプリング回路411, 412と、該サンプリング回路の出力をバッファするバッファ回路420と、該バッファ回路の出力の判定を行う判定回路430と、前記サンプリングを行うタイミングまで、前記バッファ回路の出力の入力信号依存性を小さくしておくバッファ制御回路440とを備えるように構成する。

【選択図】 図5

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社